

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-149273

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

G09G 3/22

G09F 9/30

H01J 31/12

(21)Application number : 09-317445

(71)Applicant : CANON INC

(22)Date of filing : 18.11.1997

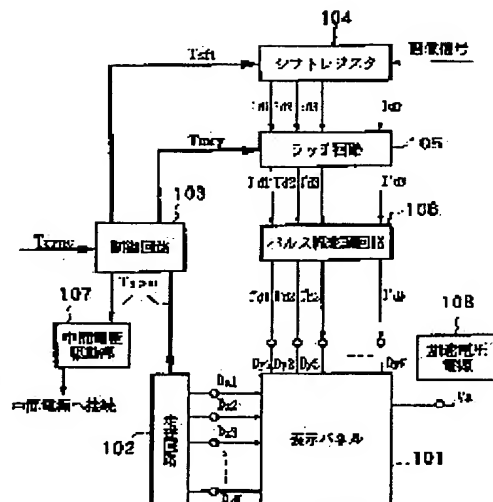
(72)Inventor : YAMANO AKIHIKO  
NAKAMURA NAOHITO  
SUZUKI HIDETOSHI

## (54) METHOD AND DEVICE FOR FORMING IMAGE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method and device for displaying images which can display high grade images, by compensating dispersion of electron emission quantity from cold-cathode emission elements caused by a voltage drop depending on wiring resistance of an electron source having plural cold-cathode emission elements wired in a state of a matrix.

**SOLUTION:** An intermediate electrode is arranged between an electron source wherein plural cold-cathode emission elements are arranged in a state of a matrix, then the cold-cathode emission elements arranged in the same rows are connected with the row directional wiring, and the cold-cathode emission elements arranged in the same columns are connected with the column directional wiring, and luminous body which emits light and forms images according to the electrons emitted from the electron source, then an intermediate electrode drive part 107 sets the potential impressed on the intermediate electrode higher as the position of the row directional wiring of a display panel 101 driven by a scanning circuit 102 is further from a signal impressed end of the column directional wiring, thus the decrease in electron emission quantity caused by a voltage drop by wiring resistance of the column directional wiring is compensated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-149273

(43)公開日 平成11年(1999)6月2日

(51) Int.Cl.<sup>8</sup>

識別記号

FI

G O 9 G 3/22

G 0 9 G 3/22

G O 9 F 9/30

G O 9 F 9/30

360

H 0 1 J 31/12

H0 1 J 31/12

C

審査請求 未請求 請求項の数13 O.L (全 23 頁)

(21)出願番号

特願平9-317445

(22) 出願目

平成9年(1997)11月18日

(71)出題人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 山野 明彦

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 中村 尚人

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)發明者 鮑 英俊

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

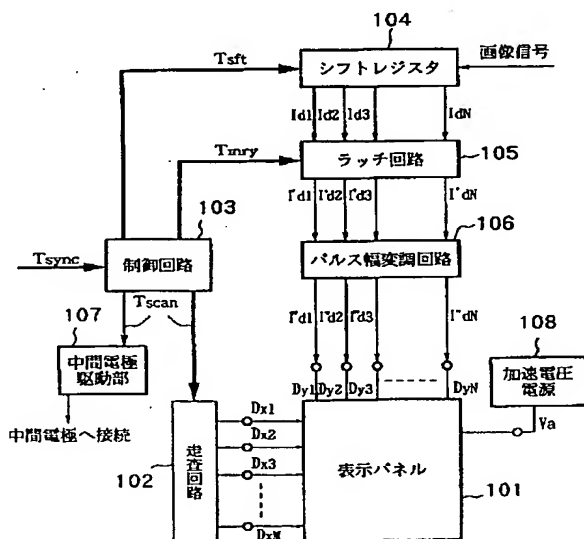
(74)代理人 弁理士 大塚 康德 (外2名)

(54) 【発明の名称】 画像形成方法及び装置

(57) 【要約】

【課題】 マトリクス状に配線された複数の冷陰極型放出素子を有する電子源の配線抵抗に依存する電圧降下によって生じる、各冷陰極型放出素子からの電子放出量のばらつきを補正することにより高品位の画像表示を行うことができる画像表示方法及び装置を提供する。

【解決手段】 複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源と、その電子源より放出される電子に応じて発光して像を形成する発光体との間に中間電極を配置し、中間電極駆動部１０７は、その中間電極に印加する電位を、走査回路１０２による駆動される表示パネル１０１の行方向配線の位置が列方向配線の信号の印加端より遠くなるほど高くするようにして、列方向配線の配線抵抗による電圧降下による放出電子量の減少を補償する。



【特許請求の範囲】

【請求項 1】 複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源と、

前記電子源より放出される電子に応じて像を形成する像形成手段と、

前記発光体と前記電子源との間に配置され、前記電子源より放出される電子量を制御するための中間電極と、

前記電子源と前記像形成手段との間に電圧を印加して前記電子源から放出された電子を前記像形成手段方向に加速する電子加速手段と、

画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動手段と、

前記駆動手段による駆動に応じて前記行方向配線を順次駆動するライン走査手段と、

前記ライン走査手段による駆動される前記行方向配線の位置に応じて前記中間電極に印加する電位を制御する中間電極駆動制御手段と、を有することを特徴とする画像形成装置。

【請求項 2】 請求項 1 に記載の画像形成装置であって、前記中間電極駆動制御手段は、前記ライン走査手段による駆動される走査ライン位置が前記駆動手段により駆動される列方向配線側より遠ざかるにつれて前記中間電極に印加する電圧を上昇させることを特徴とする。

【請求項 3】 請求項 1 又は 2 に記載の画像形成装置であって、前記中間電極駆動制御手段は、前記ライン走査手段による駆動される走査ライン位置を計数する計数手段と、前記駆動手段により駆動される走査ライン位置に応じた電圧値を記憶する記憶手段と、前記計数手段における計数値に応じて読み出される電圧値をもとに電圧信号を発生する電圧発生手段とを有することを特徴とする。

【請求項 4】 複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源と、

前記電子源より放出される電子に応じて像を形成する像形成手段と、

前記電子源と前記像形成手段との間に加速電圧を印加して前記電子源から放出された電子を前記像形成手段方向に加速する電子加速手段と、

画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動手段と、

前記駆動手段による駆動に応じて前記行方向配線を順次駆動するライン走査手段と、

前記ライン走査手段による駆動される前記行方向配線の位置に応じて前記加速電圧を制御する加速電圧制御手段

と、を有することを特徴とする画像形成装置。

【請求項 5】 請求項 4 に記載の画像形成装置であって、前記加速電圧制御手段は、前記ライン走査手段による駆動される走査ライン位置が前記駆動手段により駆動される列方向配線側より遠ざかるにつれて前記加速電圧を上昇させることを特徴とする。

【請求項 6】 請求項 4 又は 5 に記載の画像形成装置であって、前記加速電圧制御手段は、前記ライン走査手段による駆動される走査ライン位置を計数する計数手段と、前記駆動手段により駆動される走査ライン位置に応じた電圧値を記憶する記憶手段と、前記計数手段における計数値に応じて読み出される電圧値をもとに加速電圧を発生する電圧発生手段とを有することを特徴とする。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の画像形成装置であって、前記冷陰極型放出素子は前記表面伝導型放出素子であることを特徴とする。

【請求項 8】 複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源を駆動し、前記電子源から放出される電子により像形成手段を駆動して画像を形成する画像形成方法であって、

画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動工程と、

前記駆動工程による駆動に応じて前記行方向配線を順次駆動するライン走査工程と、

前記ライン走査工程で駆動される前記行方向配線の位置に応じて、前記像形成手段と前記電子源との間に配置された中間電極に印加する電位を制御する中間電極駆動制御工程と、を有することを特徴とする画像形成方法。

【請求項 9】 請求項 8 に記載の画像形成方法であって、前記中間電極駆動制御工程では、前記ライン走査工程で駆動される走査ライン位置が前記駆動工程で駆動される列方向配線側より遠ざかるにつれて前記中間電極に印加する電圧を上昇させることを特徴とする。

【請求項 10】 請求項 8 又は 9 に記載の画像形成方法であって、前記中間電極駆動制御工程は、前記ライン走査工程で駆動される走査ライン位置を計数する計数工程と、前記駆動工程で駆動される走査ライン位置に応じた電圧値を記憶する記憶工程と、前記計数工程における計数値に応じて読み出される電圧値をもとに電圧信号を発生する電圧発生工程とを有することを特徴とする。

【請求項 11】 複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源を駆動し、前記電子源より放出される電子に応じて像形成手段により画像を形成する画像形成方法であって、

前記電子源と前記画像形成手段との間に加速電圧を印加して前記電子源から放出された電子を前記発光体方向に加速する電子加速工程と、

画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動工程と、

前記駆動工程での駆動に応じて前記行方向配線を順次駆動するライン走査工程と、

前記ライン走査工程で駆動される前記行方向配線の位置に応じて前記加速電圧を制御する加速電圧制御工程と、を有することを特徴とする画像形成方法。

【請求項 1 2】 請求項 1 1 に記載の画像形成方法であって、前記加速電圧制御工程では、前記ライン走査工程で駆動される走査ライン位置が前記駆動工程で駆動される列方向配線側より遠ざかるにつれて前記加速電圧を上昇させることを特徴とする。

【請求項 1 3】 請求項 1 1 又は 1 2 に記載の画像形成方法であって、前記加速電圧制御工程は、前記ライン走査工程で駆動される走査ライン位置を計数する計数工程と、前記駆動工程で駆動される走査ライン位置に応じた電圧値を記憶する記憶工程と、前記計数工程での計数値に応じて読み出される電圧値をもとに加速電圧を発生する電圧発生工程とを有することを特徴とする。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、複数の冷陰極型放出素子を備える電子源を有する画像形成方法及び装置に関するものである。

【0 0 0 2】

【従来の技術】 従来から、電子放出素子として熱陰極素子と冷陰極素子の 2 種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下 F E 型と記す）や、金属／絶縁層／金属型放出素子（以下 M I M 型と記す）などが知られている。

【0 0 0 3】 表面伝導型放出素子としては、例えば、M. I. Elinson, Radio E-ng. Electron Phys., 10, 1290, (1965) や、後述する他の例が知られている。

【0 0 0 4】 表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、前記エリンソン(Elinson)等による S n O<sub>2</sub> 薄膜を用いたものの他に、A u 薄膜によるもの [G. Dittmer: "Thin Solid Films", 9, 317 (1972)] や、I n<sub>2</sub>O<sub>3</sub>/S n O<sub>2</sub> 薄膜によるもの [M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)] や、カーボン薄膜によるもの [荒木久他: 真空、第 26 巻、第 1 号、22 (1983)] 等が報告されている。

【0 0 0 5】 これらの表面伝導型放出素子の素子構成の典型的な例として、図 2 3 に前述の M. Hartwell らによる素子の平面図を示す。同図において、3 0 0 1 は基板

で、3 0 0 4 はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜 3 0 0 4 は図示のように H 字形の平面形状に形成されている。この導電性薄膜 3 0 0 4 に、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部 3 0 0 5 が形成される。図中の間隔 L は、0.5 ~ 1 [mm]、幅 W は、0.1 [mm] に設定されている。尚、図示の便宜から、電子放出部 3 0 0 5 は導電性薄膜 3 0 0 4 の中央に矩形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

【0 0 0 6】 M. Hartwell らによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜 3 0 0 4 に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部 3 0 0 5 を形成するのが一般的であった。即ち、通電フォーミングとは、通電により電子放出部を形成することであり、例えば前記導電性薄膜 3 0 0 4 の両端に一定の直流電圧、もしくは、例えば 1 V / 分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜 3 0 0 4 を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部 3 0 0 5 を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜 3 0 0 4 の一部には亀裂が発生する。この通電フォーミング後に導電性薄膜 3 0 0 4 に適宜の電圧を印加した場合には、前記亀裂付近において電子放出が行われる。

【0 0 0 7】 上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭 6 4 - 3 1 3 3 2 号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0 0 0 8】 F E 型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

【0 0 0 9】 この F E 型の素子構成の典型的な例として、図 2 4 に前述の C. A. Spindt らによる素子の断面図を示す。同図において、3 0 1 0 は基板で、3 0 1 1 は導電材料よりなるエミッタ配線、3 0 1 2 はエミッタコーン、3 0 1 3 は絶縁層、3 0 1 4 はゲート電極である。本素子は、エミッタコーン 3 0 1 2 とゲート電極 3 0 1 4 の間に適宜の電圧を印加することにより、エミッタコーン 3 0 1 2 の先端部より電界放出を起こさせるものである。また、F E 型の他の素子構成として、図 2 4 のような積層構造ではなく、基板上に基板平面とほぼ平行にエミッタとゲート電極を配置した例もある。

【0010】また、MIM型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices, J. Appl. Phys., 32, 646 (1961)などが知られている。このMIM型の素子構成の典型的な例を図25に示す。同図は断面図であり、図において、3020は基板で、3021は金属よりなる下電極、3022は厚さ100オングストローム程度の薄い絶縁層、3023は厚さ80~300オングストローム程度の金属よりなる上電極である。MIM型においては、上電極3023と下電極3021の間に適宜の電圧を印加することにより、上電極3023の表面より電子放出を起こさせるものである。

【0011】上述の冷陰極素子は、熱陰極素子と比較して低温で電子放出を得ることができるため、加熱用ヒータを必要としない。従って、熱陰極素子よりも構造が単純であり、微細な素子を作成可能である。また、基板上に多数の素子を高い密度で配置しても、基板の熱溶解などの問題が発生しにくい。また、熱陰極素子がヒータの加熱により動作するため応答速度が遅いのは異なり、冷陰極素子の場合には応答速度が速いという利点もある。このため、冷陰極素子を応用するための研究が盛んに行われてきている。

【0012】例えば、表面伝導型放出素子は、冷陰極素子のなかでも特に構造が単純で製造も容易であることから、大面積にわたり多数の素子を形成できる利点がある。そこで、例えば本出願人による特開昭64-31332号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【0013】また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【0014】特に、画像表示装置への応用としては、例えば本出願人によるUSP5,066,883や特開平2-257551号公報や特開平4-28137号公報において開示されているように、表面伝導型放出素子と電子の照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【0015】また、FE型素子を多数個並べて駆動する方法は、例えば本出願人によるUSP4,904,895に開示されている。また、FE型を画像表示装置に応用した例として、例えば、R. Meyerらにより報告された平板型表示装置が知られている。[R. Meyer: "Recent Development on Microtips Display at LETI", Tech. Digest of 4th Int. Vacuum Microelectronics Conf., Nagahama, pp. 6-9 (1991)].

【0016】また、MIM型を多数個並べて画像表示装置に応用した例は、例えば本出願人による特開平3-55738に開示されている。

【0017】発明者らは、上記従来技術に記載したものをはじめとして、さまざまな材料、製法、構造の冷陰極素子を試みてきた。さらに、多数の冷陰極素子を配列したマルチ電子源、ならびにこのマルチ電子源を応用した画像表示装置について研究を行ってきた。

【0018】本願発明者らは、例えば図26に示す電気的な配線方法によるマルチ電子源を試みてきた。即ち、冷陰極素子を2次的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子源である。

【0019】図中、4001は冷陰極素子を模式的に示し、4002は行方向配線、4003は列方向配線を示している。行方向配線4002及び列方向配線4003は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗4004および4005として示されている。上述のような配線方法を単純マトリクス配線と呼ぶ。なお、図示の便宜上、6×6のマトリクスで示しているが、マトリクスの規模はむしろこれに限ったわけではなく、例えば画像表示装置用のマルチ電子源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

【0020】冷陰極素子を単純マトリクス配線したマルチ電子源においては、所望の電子を出力させるため、行方向配線4002および列方向配線4003に適宜の電気信号を印加する。例えば、マトリクスの中の任意の1行の冷陰極素子を駆動するには、選択する行の行方向配線4002には選択電圧Vsを印加し、同時に非選択の行の行方向配線4002には非選択電圧Vnsを印加する。これと同期して列方向配線4003に電子を出力するための駆動電圧Veを印加する。この方法によれば、配線抵抗4004および4005による電圧降下を無視すれば、選択する行の冷陰極素子には電圧(Ve-Vs)が印加され、また非選択行の冷陰極素子には電圧(Ve-Vns)が印加される。これら電圧Ve, Vs, Vnsを適宜の大きさの値にすれば、選択する行の冷陰極素子だけから所望の強度の電子が出力されるはずであり、また列方向配線の各々に異なる駆動電圧Veを印加すれば、選択する行の素子の各々から異なる強度の電子が出力されるはずである。また、駆動電圧Veを印加する時間の長さを変えれば、電子が出力される時間の長さも変えることができるはずである。ここで、選択時の素子印加電圧(Ve-Vs)を以下Vfと呼ぶ。さらに単純マトリクス配線したマルチ電子源から電子を得る別の手法として、列方向配線に駆動電圧Veを印加するための電圧源を接続するのではなく、所望の電子を出力するのに必要な電流を供給するための電流源を接続して駆動する方法もある。ここで、電子源に流れる電流を以下素子電流Ifと

呼び、放出される電子量を放出電流  $I_e$  と呼ぶ。

【0021】したがって、冷陰極素子を単純マトリクス配線したマルチ電子源はいろいろな応用可能性があり、例えば画像情報に応じた電気信号を適宜印加すれば、画像表示装置用の電子源として好適に用いることができる。

【0022】

【発明が解決しようとする課題】しかしながら、このように冷陰極素子を単純マトリクス配線したマルチ電子源には、後述するような原因により輝度に非一様な分布が生じてしまい、高品位な画像を得られないという問題があった。これは行方向及び列方向の配線抵抗を介して冷陰極型電子放出素子に電流が流れ込む結果生じる、その配線抵抗による電圧降下のために各素子電極毎に印加される電圧がそれぞれ異なるという現象が起きる。その結果、各素子にかかる実効電圧に非一様な分布が生じ、輝度にも非一様な分布が生じるという結果になっている。

【0023】図27は、この原因をより詳しく説明するための図で、行方向の各放出素子に印加される電圧を示している。図26の  $m \times n$  の単純マトリクス回路には、行方向、列方向のいずれも一方向から電圧を印加している。また、行配線、列配線は、素子単位でそれぞれ  $r_x$ 、 $r_y$  の抵抗成分を有するものとする。ここで、これら冷陰極型電子放出素子は、行方向及び列方向に対して等間隔に配置されているため、配線の幅や膜厚が製造上ばらつかない限り、素子単位で、行方向、列方向でそれぞれほぼ等しい配線抵抗値を持つ。また、冷陰極型電子放出素子も、全てほぼ等しい抵抗値を有する。したがって、図27に示すように、電圧印加端に近い素子ほど大きな電圧が印加され、電圧印加端から遠い素子ほど印加電圧が小さくなる。そのため、駆動印加電圧に非一様な分布を生じることになり、その結果、冷陰極型電子放出素子から出力される電子放出量に対しても、非一様な分布が生じることになる。

【0024】本発明は上記従来例に鑑みてなされたもので、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源の配線抵抗に依存する電圧降下によって生じる、各冷陰極型放出素子からの電子放出量のばらつきを補正することにより、高品位の画像形成を行うことができる画像形成方法とその装置を提供することを目的とする。

【0025】本発明の目的は、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源と像形成手段との間に中間電極を設け、その中間電極に印加する電圧を、電子源において駆動される走査ライン位置に応じて制御することにより、列方向の配線抵抗による電圧降下に起因する放出電子量の変動を補償して列方向の位置によらず放出電子量がほぼ一定になるようにして画像を形成できる画像形成方法とその装置を提供することを目的とする。

【0026】また本発明の他の目的は、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源の列方向の配線抵抗による電圧降下に起因する放出電子量の変動を、電子源と像形成手段との間に印加する加速電圧により補償して列方向の位置によらず放出電子量がほぼ一定になるようにして画像を表示できる画像形成方法とその装置を提供することを目的とする。

【0027】

【課題を解決するための手段】上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源と、前記電子源より放出される電子に応じて像を形成する像形成手段と、前記像形成手段と前記電子源との間に配置され、前記電子源より放出される電子量を制御するための中間電極と、前記電子源と前記発光体との間に電圧を印加して前記電子源から放出された電子を前記発光体方向に加速する電子加速手段と、画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動手段と、前記駆動手段による駆動に応じて前記行方向配線を順次駆動するライン走査手段と、前記ライン走査手段による駆動される前記行方向配線の位置に応じて前記中間電極に印加する電位を制御する中間電極駆動制御手段とを有することを特徴とする。なお、この画像形成装置をディスプレイ、即ち、画像表示装置として用いるときは、例えば前記像形成手段として、電子に応じて発光して像を形成する発光体を有するものを用いれば良い。

【0028】上記目的を達成するために本発明の画像形成装置は以下のような構成を備える。即ち、複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源と、前記電子源より放出される電子に応じて像を形成する像形成手段と、前記電子源と前記像形成手段との間に加速電圧を印加して前記電子源から放出された電子を前記発光体方向に加速する電子加速手段と、画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動手段と、前記駆動手段による駆動に応じて前記行方向配線を順次駆動するライン走査手段と、前記ライン走査手段による駆動される前記行方向配線の位置に応じて前記加速電圧を制御する加速電圧制御手段とを有することを特徴とする。上記目的を達成するために本発明の画像形成方法は以下のような工程を備える。即ち、複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源を駆動し、前記電子源から放出される



電子により像形成手段を駆動して画像を形成する画像形成方法であって、画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動工程と、前記駆動工程による駆動に応じて前記行方向配線を順次駆動するライン走査工程と、前記ライン走査工程で駆動される前記行方向配線の位置に応じて、前記像形成手段と前記電子源との間に配置された中間電極に印加する電位を制御する中間電極駆動制御工程とを有することを特徴とする。

【0029】上記目的を達成するために本発明の画像形成方法は以下のような工程を備える。即ち、複数の冷陰極型放出素子をマトリクス状に配列し、同じ行に配列された前記冷陰極型放出素子の一方を行方向配線に接続し、同じ列に配列された前記冷陰極型放出素子の他方を列方向配線に接続している電子源を駆動し、前記電子源より放出される電子に応じて像形成手段に画像を形成する画像形成方法であって、前記電子源と前記像形成手段との間に加速電圧を印加して前記電子源から放出された電子を前記像形成手段方向に加速する電子加速工程と、画像信号に応じて前記列方向配線を介して前記冷陰極型放出素子を駆動する駆動工程と、前記駆動工程での駆動に応じて前記行方向配線を順次駆動するライン走査工程と、前記ライン走査工程で駆動される前記行方向配線の位置に応じて前記加速電圧を制御する加速電圧制御工程とを有することを特徴とする。

【0030】

【発明の実施の形態】以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。尚、本実施の形態では、冷陰極型の電子放出素子として表面伝導型放出素子を用いた例で説明する。

【0031】＜実施の形態1＞図1は、本発明の実施の形態1の画像表示装置の回路構成を示すブロック図である。

【0032】図1において、101は表示パネルで、M行×N列に配線された(M×N)個の表面伝導型放出素子を有し、これら表面伝導型放出素子のそれぞれは行配線に接続された行端子Dx1～DxM、列配線に接続された列端子Dy1～DyNを介して外部回路と接続されている。また図示していないが、表示パネル101の表示面のフェースプレート上の高圧端子も外部の加速用電圧電源108に接続され、表面伝導型放出素子から放出された電子をフェースプレート方向に加速するようになっている。前述の行端子Dx1～DxMには、前述のパネル101に設けられているマルチ電子源、即ち、M行×N列にマトリクス配線された表面伝導型放出素子を1行ずつ順次駆動するための走査信号が印加される。一方、列端子Dy1～DyNには、前記走査信号により選択された一行の表面伝導型放出素子の各素子の放出電子を、入力される画像信号に応じて制御するための変調信号が印加される。

【0033】次に、走査回路102について説明する。

この走査回路102は、内部にM個のスイッチング素子を備えるもので、各スイッチング素子は制御回路103から入力する制御信号Tscanに基づき、走査するラインの放出素子列の配線端子には直流電圧Vx1を、また走査中でない放出素子列の列端子には直流電圧Vx2をそれぞれ印加する。これら各スイッチング素子は、例えばFETのようなスイッチング素子により容易に構成することができる。尚、Vx1及びVx2の出力電圧については後述する。

【0034】制御回路103は、外部より入力される画像信号に基づいて適切な画像表示が行われるように各部の動作タイミングを整合させる働きを持つものである。外部より入力される画像信号は、例えばNTSC信号のように画像データと同期信号が複合されている場合と、予め両者が分離されている場合とがあるが、本実施の形態では後者の場合について説明する(尚、前者の画像信号に対してはよく知られる同期分離回路を設けて、画像データと同期信号とを分離すれば本実施の形態と同様に扱うことが可能である)。すなわち、制御回路103は、外部より入力される同期信号Tsyncに基づいて各部に対してTscan、Tsft及びTmryの各制御信号を発生する。尚、同期信号としては、一般に垂直同期信号と水平同期信号とを含むが、説明の簡略化のためここではTsyncとした。

【0035】一方、外部より入力される画像データ(輝度データ)はシフトレジスタ104に入力される。このシフトレジスタ104は、時系列的にシリアルに入力される画像データを、画像の1ラインを単位としてシリアル/パラレル変換するためのもので、制御回路103より入力される制御信号(シフトクロック)Tsftに基づいて、デジタル画像データを1画素ずつ入力して保持する。こうしてシフトレジスタ104に保持された1ライン分の画像データ(電子放出素子の1ライン(N素子)分の駆動データに相当する)は、Id1～IdNの並列信号としてラッチ回路105に出力される。

【0036】ラッチ回路105は、1ライン分の画像データを必要時間の間だけ記憶するための記憶回路であり、制御回路103より送られる制御信号Tmryに従ってId1～IdNを同時にラッチして記憶する。このラッチ回路105に記憶された画像データは、Id'1～Id'Nとしてパルス幅変調回路106に対して出力される。

【0037】パルス幅変調回路106は、ラッチ回路105より入力される画像データId'1～Id'Nに応じて一定の波高値の電圧パルスが発生しており、ここでは入力される輝度データ(多値データ)に対応したパルス幅の信号を出力するパルス幅変調方式の回路を用いる。

【0038】このパルス幅変調回路106より出力された電圧信号をId''1～Id''Nで示している。この電圧信号Id''1～Id''Nは、より具体的には、画像データの輝度レベルが大きい程幅の広い電圧パルスを有しており、



例えば波高値として 7.5 [V]、最高輝度に対したときには 60 [ $\mu$ sec] 幅のパルスを出力するものである。上記電圧信号  $I_d'1 \sim I_d'N$  は、表示パネル 101 の列端子  $Dy1 \sim DyN$  に入力される。

【0039】上記のような表示パネル 101 の各素子の駆動と同時に、制御回路 103 に入力される同期信号  $T_{sync}$  に対応して、中間電極駆動部 107 が、その駆動される素子の列方向の位置に応じて中間電極の電位を上昇させる。

【0040】本実施の形態で用いた表面伝導型放出素子の場合、中間電極の電位  $V_s$  に対して発光手段（叙述のフェースプレートに設けられた蛍光体）に到達する電子の量が図 2 のように変動することが知られている。即ち、図 2 に示すように、中間電極の電位  $V_s$  が 200V から 1000V の間では、その電位  $V_s$  の上昇につれて放出素子からの電子放出率が高くなることがわかる。

【0041】このような中間電極に印加される電位  $V_s$  を上昇させることによる電子放出率の増加特性を利用し、表示パネル 101 の各素子を接続している配線の配線抵抗により、各素子に印加される電圧が所望の電圧よりも降下することによる、各素子からの放出電子量の変動を補正することが考えられる。

【0042】図 3 は、本実施の形態の表面伝導型放出素子における電圧対放出電流の特性を示すグラフ図である。このようなグラフ図を参照して、配線抵抗による電圧降下と放出電子量の減少量とを求め、その減少量を補正するのに見合った電位  $V_s$  を中間電極に印加している。

【0043】本実施の形態では、中間電極駆動部 107 において、同期信号  $T_{sync}$  に応じて出力電圧が変化するように出力電圧テーブルを予め作成して ROM に記憶しておき、水平同期信号をカウントするなどして得られる駆動される素子のライン番号を、その ROM のアドレス信号として入力し、そこから読み出されるデータを D/A コンバータ等でアナログ値に変換し、その電圧により中間電極を駆動すれば良い。

【0044】また本実施の形態における駆動電圧等の設計パラメータは以下のようにして決定した。本実施の形態に用いた表面伝導型放出素子は、図 3 に示すように  $V_{th} = 8$  [V] を閾値電圧とする電子放出素子特性を有する。従って、画面上の不要な発光を防止するためには、走査していない電子放出素子列に印加される電圧は、必ず 8 [V] 未満にする必要がある。ここで図 1 の走査回路 102 においては、走査していない電子放出素子列の行方向配線には、電圧  $V_{x2}$  の出力電圧が印加されるようにしているので、

$$V_{x2} < 8 \text{ [V]} \quad (\text{式 } 2)$$

の関係を満たす必要がある。そこで、本実施の形態では、まず電圧  $V_{x2}$  を 7.5 [V] と定めた。従って、走査中でないラインの電子放出素子にかかる電圧は最大で

も 7.5 [V] ( $< 8$  [V]) を越えることはない。

【0045】また、加速電圧電源 108 を用いて蛍光体に印加する加速電圧  $V_a$  を次のようにして定めた。すなわち、所望の最大輝度を得るのに必要な蛍光体への投入パワーを蛍光体の発光効率より算出し、( $I_{emax} \times V_a$ ) が前記投入パワーを満足するように加速電圧  $V_a$  の大きさを定め、例えば、10 [KV] とした。

【0046】以上のように、各パラメータを決定した。

【0047】尚、本実施の形態では、入力する映像信号として、データ処理がより容易であるデジタル映像信号を用いたが、本発明は入力する信号はデジタル映像信号に限定されることはなく、アナログ映像信号であっても良い。

【0048】また、本実施の形態では、シリアル/パラレル変換処理に、デジタル信号の処理が容易なシフトレジスタ 104 を採用しているが、本発明はこれに限定されるものではなく、例えば格納アドレスを制御することで格納アドレスを順次変えることにより、シフトレジスタと等価な機能を持つランダムアクセスメモリを用いても良い。

【0049】以上説明したように、本実施の形態 1 によれば、電圧分布による  $I_e$  の非均一の問題を改善し、ほぼ均一分布での駆動が可能になる。

【0050】〔電子源の構成〕まず、本実施の形態に係わる電子源と中間電極の構成例を図 4 に示す。

【0051】図 4 (a) は平面図、図 4 (b)、(c) のそれぞれは図 4 (a) の A-A'、B-B' 断面図である。図中、1101 は基板、1102、1103 は素子電極、1104 は電子放出部を含む導電性膜、1105 は電子放出部、1109 は電子放出部 1105 の直上部を覆う中間電極である。尚、図 4 は、基板 1101 上に併設された素子電極 1102、1103 間に、電子放出部 1105 を含む導電性膜 1104 を有する表面伝導型電子放出素子と中間電極 1109 とが一体配置された構成を有する電子源の例を示すものである。尚、この電子源の製造方法については詳しく後述する。

【0052】この例では、中間電極 1109 が電子放出部 1105 のほぼ真上に位置しているが、これは放出された電子が蛍光体或いはその周辺より電子放出部 1105 上に落下して衝突するのを防止するために、略真上に設けられている。尚、電子放出部 1105 から放出される電子の放出方向は、最初は素子電極の正側の電位の影響を受けてその方向に曲げられ、その後、蛍光体方向に加速されて上昇する放物線を描く（後述する）ので、このように電子放出部のほぼ真上に中間電極が位置していても蛍光体への電子到達には問題が生じない。

【0053】次に他の構成の中間電極を備えた表示パネルの構成について説明する。

【0054】図 5 は、本実施の形態の表示パネル 101 の外観斜視図であり、その内部構造を示すために表示パ

ネル 1 0 1 の一部を切り欠いて示している。

【0 0 5 5】図中、8 2 はリアプレート、8 3 は側壁、8 7 はフェースプレートであり、8 2 ～8 7 により表示パネル 1 0 1 の内部を真空中に維持するための気密容器を形成している。この気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、4 0 0 ℃～5 0 0 ℃で 1 0 分以上焼成することにより封着を達成した。気密容器内部を真空中に排気する方法については後述する。

【0 0 5 6】リアプレート 8 2 には、基板 7 1 が固定されているが、この基板 7 1 上には表面伝導型放出素子 7 4 が  $N \times M$  個形成されている（ここで  $N$ 、 $M$  は 2 以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $N = 3 0 0 0$ 、 $M = 1 0 0 0$  以上の数を設定することが望ましい。本実施の形態においては、 $N = 3 0 7 2$ 、 $M = 1 0 2 4$  とした）。前記  $N \times M$  個の表面伝導型放出素子 7 4 は、素子電極 7 5 を介して  $M$  本の行方向配線 7 2 と  $N$  本の列方向配線 7 3 により単純マトリクス配線されている。前記 7 1 ～7 5 によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0 0 5 7】本実施の形態においては、気密容器のリアプレート 8 2 にマルチ電子源の基板 7 1 を固定する構成としたが、マルチ電子源の基板 7 1 が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板 7 1 自体を用いてもよい。

【0 0 5 8】また、フェースプレート 8 7 の下面には、蛍光膜 8 8 が形成されている。本実施の形態の表示パネル 1 0 1 はカラー表示用であるため、蛍光膜 8 8 の部分には CRT の分野で用いられる赤（R）、緑（G）、青（B）の 3 原色の蛍光体が塗り分けられている。各色の蛍光体は、ストライプ状に塗り分けられ、各色の蛍光体のストライプの間には黒色の導電体が設けられている。この黒色の導電体を設ける目的は、電子の照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。また、3 原色の蛍光体の塗り分け方はデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 8 8 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0 0 5 9】また、蛍光膜 8 8 のリアプレート側の面には、CRT の分野では公知のメタルバック 8 9 を設けて

ある。このメタルバック 8 9 を設けた目的は、蛍光膜 8 8 が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜 8 8 を保護するため、電子加速電圧を印加するための電極として作用させるため、蛍光膜 8 8 を励起した電子の導電路として作用させるためなどである。このメタルバック 8 9 は、蛍光膜 8 8 をフェースプレート 8 7 上に形成した後、蛍光膜表面を平滑化处理し、その上にアルミニウムを真空蒸着する方法により形成した。なお、蛍光膜 8 8 に低電圧用の蛍光体材料を用いた場合には、メタルバック 8 9 は用いない。

【0 0 6 0】また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート 8 7 と蛍光膜 8 8 との間に、例えば I T O を材料とする透明電極を設けてもよい。

【0 0 6 1】また、 $Dx1 \sim DxM$  および  $Dy1 \sim DyN$ 、 $Hv$  及び  $Iv$  は、当該表示パネル 1 0 1 と不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。 $Dx1 \sim DxM$  はマルチ電子源の行方向配線 7 2 と、 $Dy1 \sim DyN$  はマルチ電子源の列方向配線 7 3 と、 $Hv$  はフェースプレートのメタルバック 8 9 と、そして中間電極用端子  $Iv$  は中間電極 1 1 0 9 と、それぞれ電気的に接続されている。中間電極 1 1 0 9 にはこの中間電極用端子  $Iv$  を介して前述の電位  $Vs$  が印加される。この中間電極 1 1 0 9 は、図 6 及び図 7 を参照して後述するように、マルチ電子源の上方で前述の蛍光膜 8 8 との間に設けられ、各電子放出素子から放出される電子を通過させるための開口部 1 1 2 1 を有している。これら開口部 1 1 2 1 の位置は、前述の図 4（b）で説明したように、各電子放出部から放出された電子を透過させて蛍光膜 8 8 に衝突させることができる位置であって、かつ蛍光膜 8 8 から落下する電子が電子放出部に衝突しないような位置に設けられている。

【0 0 6 2】また、気密容器内部を真空中に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 1 0 のマイナス 7 乗 [torr] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえば Ba を主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は  $1 \times 10$  マイナス 5 乗ないしは  $1 \times 10$  マイナス 7 乗 [torr] の真空度に維持される。

【0 0 6 3】この図 5 の電子源の概略的な部分斜視図を図 6 に示す。また、図 6 の C-C' 断面図及び D-D' 断面図のそれぞれを図 7（a）、（b）に示す。但し、図 5 ～図 7 において、同じ符号で示したものは同等部材を示している。

【0064】図中、73は行方向配線72と層間絶縁層（不図示）を介して印刷法などにより形成した膜厚50ミクロンの列方向配線である。電子放出素子74は、図4を用いて前述したように、併設された素子電極1102、1103間に、電子放出部1105を含む導電性膜1104を有する表面伝導型放出素子であり、この電子放出素子74の多数個が図5及び図6に示すように、結線75により行方向配線72及び列方向配線73と電気的に接続されている。

【0065】また、1109は導電性を有する薄板（アルミニウム等）からなる中間電極であり、行方向配線72上に絶縁層（不図示）を介して設置される。この中間電極1109は各電子放出素子74の直上部を覆い、且つ各電子放出素子の電子放出部から放出される電子の起動を遮らないように電子通過孔1121を中間電極1109上に形成した。

【0066】図7（a）は図6のC-C'断面図で、この図より中間電極1109が行方向配線72上に絶縁層を介して設置されており、その中間電極1109に設けられた開口部1121の行方向の位置がほぼ電子放出部の真上に位置していることがわかる。また図7（b）は図6のD-D'断面図で、この図より中間電極1109に設けられた開口部1121の列方向の位置が、電子放出部の真上よりも右側の行方向配線側にずれて位置していることが分かる（右側の素子電極が正極であるため）。

【0067】図8は前述した中間電極1109へ印加する電位を制御する中間電極駆動部107の構成を示すブロック図である。

【0068】図において、80はカウンタで、制御回路103から出力される水平同期信号Tscanを入力する毎に+1されて表示パネル101の駆動される走査ライン（行）位置に対応する計数値を出力しており、垂直同期信号が入力されるとその計数値を“0”にクリアしている。81は前述したように、表示パネル101の表示駆動されるライン（行）に応じて中間電極1109に印加する電位Vsを決定するためのデータを記憶しているテーブルで、カウンタ80から駆動されるライン数が入力されるとそのラインに応じた電圧値を出力する。具体的には、前述の図2をもとに、駆動されるライン数（番号）が増加するにつれてVsの値が大きくなるようにテーブルにデータを記憶している。82はD/A変換器で、ROMテーブル81から読み出されるデジタル電圧値を入力し、アナログ信号に変換して表示パネル101の端子1vに出力している。

【0069】＜実施の形態2＞図9は本発明の実施の形態2の画像表示装置の回路構成を示すブロック図で、前述の図1と共通する部分は同じ番号で示し、その説明を省略する。

【0070】本実施の形態で用いた表面伝導型放出素子

の場合は、加速電圧の電位Vaに対して発光手段（叙述のフェースプレート87に設けられた蛍光膜88）に到達する電子の量が図10のように変動する。

【0071】このような加速電極に印加される電位Vaを上昇させることによる電子放出率の増加特性を利用し、表示パネル101の各素子を接続している配線の配線抵抗により、各素子に印加される電圧が所望の電圧よりも低下することによる、各素子からの放出電子量の変動を補正する。このような制御を行っているのが、図9に示す加速電圧印加回路107である。

【0072】本実施の形態2では、加速電圧印加回路109において、同期信号Tsyncに応じて出力電圧が変化するように出力電圧テーブルを予め作成してROMに記憶しておき、水平同期信号をカウントするなどして得られる駆動される素子のライン番号を、そのROMのアドレス信号として入力し、そこから読み出されるデータをD/Aコンバータ等でアナログ値に変換し、その電圧により加速電極を駆動すれば良い。

【0073】また本実施の形態2における駆動電圧等の設計パラメータは以下のようにして決定した。本実施の形態2に用いた表面伝導型放出素子は、前述の図3に示すように $V_{th}=8[V]$ を閾値電圧とする電子放出素子特性を有する。従って、画面上の不要な発光を防止するためには、走査していない電子放出素子列に印加される電圧は、必ず8[V]未満にする必要がある。ここで図9の走査回路102においては、走査していない電子放出素子列の行方向配線には、電圧Vx2の出力電圧が印加されるようにしているので、

$$V_{x3} < 8[V] \quad (式2)$$

の関係を満たす必要がある。そこで、本実施の形態2では、まず電圧Vx3を7.5[V]と定めた。従って、走査中でないラインの電子放出素子にかかる電圧は最大でも7.5[V]（<8[V]）を越えることはない。

【0074】また、加速電圧印加回路109を用いて蛍光体88に印加する加速電圧Vaの最低値を次のようにして定めた。すなわち、所望の最大輝度を得るのに必要な蛍光体への投入パワーを蛍光体の発光効率より算出し、 $(I_{emax} \times V_a)$ が前記投入パワーを満足するように加速電圧Vaの大きさを定め、例えば、10[KV]とした。

【0075】図11は加速電圧印加回路109の構成を示すブロック図で、その構成は前述の図8の構成と略同様である。

【0076】図において、83はカウンタで、制御回路103から出力される水平同期信号Tscanを入力する毎に+1されて表示パネル101の駆動される走査ライン（行）位置に対応する計数値を出力しており、垂直同期信号が入力されるとその計数値を“0”にクリアしている。84は前述したように、表示パネル101の駆動されるライン（行）に応じて加速電極に印加する電位Va

を決定するためのデータを記憶しているテーブルで、カウンタ 8 3 から表示駆動されるライン数が入力されるとそのラインに応じた加速電圧値を出力する。8 5 は D/A 変換器で、ROM テーブル 8 4 から読み出されるデジタル電圧値を入力し、アナログ信号に変換して表示パネル 1 0 1 の端子 H v に出力している。

【0077】<本実施の形態の表面伝導型放出素子の製法及び用途説明>図 1 2 は、本実施の形態の表示パネル 1 0 0 0 の外観斜視図であり、その内部構造を示すために表示パネル 1 0 0 0 の 1 部を切り欠いて示している。

【0078】図中、1 0 0 5 はリアプレート、1 0 0 6 は側壁、1 0 0 7 はフェースプレートであり、1 0 0 5 ~ 1 0 0 7 により表示パネルの内部を真空に維持するための気密容器を形成している。気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中あるいは窒素雰囲気中で、4 0 0 °C ~ 5 0 0 °C で 1 0 分以上焼成することにより封着を達成した。気密容器内部を真空に排気する方法については後述する。

【0079】リアプレート 1 0 0 5 には、基板 1 0 0 1 が固定されているが、この基板 1 0 0 1 上には表面伝導型放出素子 1 0 0 2 が N × M 個形成されている（ここで N, M は 2 以上の正の整数であり、目的とする表示画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、N = 3 0 0 0, M = 1 0 0 0 以上の数を設定することが望ましい。本実施の形態においては、N = 3 0 7 2, M = 1 0 2 4 とした）。前記 N × M 個の表面伝導型放出素子 1 0 0 2 は、M 本の行方向配線 1 0 0 3 と N 本の列方向配線 1 0 0 4 により単純マトリクス配線されている。前記 1 0 0 1 ~ 1 0 0 4 によって構成される部分をマルチ電子源と呼ぶ。なお、マルチ電子源の製造方法や構造については、後で詳しく述べる。

【0080】本実施の形態においては、気密容器のリアプレート 1 0 0 5 にマルチ電子源の基板 1 0 0 1 を固定する構成としたが、マルチ電子源の基板 1 0 0 1 が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の基板 1 0 0 1 自体を用いてもよい。

【0081】また、フェースプレート 1 0 0 7 の下面には、蛍光膜 1 0 0 8 が形成されている。本実施の形態の表示パネル 1 0 0 0 はカラー表示用であるため、蛍光膜 1 0 0 8 の部分には CRT の分野で用いられる赤

(R)、緑 (G)、青 (B) の 3 原色の蛍光体が塗り分けられている。各色の蛍光体は、たとえば図 1 3 (A) に示すようにストライプ状に塗り分けられ、各色の蛍光体のストライプの間には黒色の導電体 1 0 1 0 が設けられている。この黒色の導電体 1 0 1 0 を設ける目的は、電子の照射位置に多少のずれがあっても表示色にずれが生じ

ないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、更には電子による蛍光膜のチャージアップを防止するためなどである。黒色の導電体 1 0 1 0 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いてもよい。

【0082】また、3 原色の蛍光体の塗り分け方は図 1 3 (A) に示したストライプ状の配列に限られるものではなく、たとえば図 1 3 (B) に示すようなデルタ状配列や、それ以外の配列であってもよい。なお、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 1 0 0 8 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【0083】また、蛍光膜 1 0 0 8 のリアプレート側の面には、CRT の分野では公知のメタルバック 1 0 0 9 を設けてある。このメタルバック 1 0 0 9 を設けた目的は、蛍光膜 1 0 0 8 が発する光の一部を鏡面反射して光利用率を向上させるため、負イオンの衝突から蛍光膜 1 0 0 8 を保護するため、電子加速電圧を印加するための電極として作用させるため、蛍光膜 1 0 0 8 を励起した電子の導電路として作用させるためなどである。このメタルバック 1 0 0 9 は、蛍光膜 1 0 0 8 をフェースプレート基板 1 0 0 7 上に形成した後、蛍光膜表面を平滑化処理し、その上にアルミニウムを真空蒸着する方法により形成した。なお、蛍光膜 1 0 0 8 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1 0 0 9 は用いない。

【0084】また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板 1 0 0 7 と蛍光膜 1 0 0 8 との間に、例えば ITO を材料とする透明電極を設けてもよい。

【0085】また、Dx1 ~ DxM および Dy1 ~ DyN および H v は、当該表示パネル 1 0 0 0 と不図示の電気回路とを電気的に接続するために設けた気密構造の電気接続用端子である。Dx1 ~ DxM はマルチ電子源の行方向配線 1 0 0 3 と、Dy1 ~ DyN はマルチ電子源の列方向配線 1 0 0 4 と、端子 H v はフェースプレートのメタルバック 1 0 0 9 とそれぞれ電気的に接続している。また前述の実施の形態 1 におけるように中間電極 1 1 0 9 を配置する場合には、この中間電極 1 1 0 9 と外部回路（不図示）とを接続するための中間電極用端子 I v が表示パネル 1 0 0 0 の外部端子として設けられる。

【0086】また、気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を 1 0 のマイナス 7 乗 [10<sup>-7</sup>] 程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前あるいは封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、たとえば

Baを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は $1 \times 10$ マイナス5乗ないしは $1 \times 10$ マイナス7乗 [torr] の真空度に維持される。

【0087】以上、本発明の実施の形態の表示パネル1000の基本構成と製法を説明した。

【0088】次に、この実施の形態の表示パネル1000に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状あるいは製法に制限はない。しかしながら、本願発明者らは、表面伝導型放出素子の中では、電子放出部もしくはその周辺部を微粒子膜から形成したものが電子放出特性に優れ、しかも製造が容易に行えることを見出している。したがって、高輝度で大画面の画像表示装置のマルチ電子源に用いるには、最も好適であると言える。そこで、上記実施の形態の表示パネルにおいては、電子放出部もしくはその周辺部を微粒子膜から形成した表面伝導型放出素子を用いた。そこで、まず好適な表面伝導型放出素子について基本的な構成と製法および特性を説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

【0089】（表面伝導型放出素子の好適な素子構成と製法）電子放出部もしくはその周辺部を微粒子膜から形成する表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類があげられる。

【0090】（平面型の表面伝導型放出素子）まず最初に、平面型の表面伝導型放出素子の素子構成と製法について説明する。図14に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図（A）および断面図（B）である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した電子放出部、1113は通電活性化処理により形成した薄膜である。

【0091】基板1101としては、たとえば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、あるいは上述の各種基板上に、例えばSiO<sub>2</sub>を材料とする絶縁層を積層した基板などを用いることができる。

【0092】また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。たとえば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、あるいはこれらの金属の合金、あるいはIn<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極を形成するには、たとえば真空蒸着などの製膜技術とフォトリソグラフィ、エ

ッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（たとえば印刷技術）を用いて形成してもさしつかえない。

【0093】素子電極1102と1103の形状は、当該電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔は通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、なかでも表示装置に应用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さdについては、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

【0094】また、導電性薄膜1104の部分には微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、あるいは微粒子が互いに隣接した構造か、あるいは微粒子が互いに重なり合った構造が観測される。

【0095】微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは10オングストロームから200オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極1102或は1103と電気的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは10オングストロームから500オングストロームの間である。

【0096】また、微粒子膜を形成するのに用いられる材料としては、たとえば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pbなどをはじめとする金属や、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>などをはじめとする酸化物や、HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub>, GdB<sub>4</sub>などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WCなどをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge, などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

【0097】以上述べたように、導電性薄膜1104を微粒子膜で形成したが、そのシート抵抗値については、10の3乗から10の7乗 [オーム/□] の範囲に含まれるよう設定した。

【0098】なお、導電性薄膜1104と素子電極1102および1103とは、電気的に良好に接続されるの

が望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図14の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

【0099】また、電子放出部1105は、導電性薄膜1104の一部に形成された亀裂状の部分であり、電気的には周囲の導電性薄膜よりも高抵抗な性質を有している。この亀裂は、導電性薄膜1104に対して、後述する通電フォーミングの処理を行うことにより形成する。亀裂内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の電子放出部の位置や形状を精密かつ正確に図示するのは困難なため、図14においては模式的に示した。

【0100】また、薄膜1113は、炭素もしくは炭素化合物よりなる薄膜で、電子放出部1105およびその近傍を被覆している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0101】薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500【オングストローム】以下とするが、300【オングストローム】以下とするのがさらに好ましい。なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図14においては模式的に示した。また、平面図(A)においては、薄膜1113の一部を除去した素子を図示した。

【0102】以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。すなわち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000【オングストローム】、電極間隔Lは2【マイクロメータ】とした。

【0103】微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100【オングストローム】、幅Wは100【マイクロメータ】とした。

【0104】次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。図15(a)～(d)は、表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は前記図14と同一である。

【0105】(1) まず、図15(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら電極を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる(堆積する方法としては、たとえば、蒸着法やスパッタ法などの真空成膜技術を用いればよい)。その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a)に示した一対の素子電極(1102と1103)を形成する。

【0106】(2) 次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず前記(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外のたとえばスピナー法やスプレー法を用いてもよい)。

【0107】また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、たとえば真空蒸着法やスパッタ法、あるいは化学的気相堆積法などを用いる場合もある。

【0108】(3) 次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、電子放出部1105を形成する。

【0109】この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行って、その一部を適宜に破壊、変形、もしくは変質せしめ、電子放出を行うのに好適な構造に変化させる処理のことである。微粒子膜で作られた導電性薄膜のうち電子放出を行うのに好適な構造に変化した部分(即ち、電子放出部1105)においては、薄膜に適当な亀裂が形成されている。なお、電子放出部1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

【0110】通電方法をより詳しく説明するために、図16に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜をフォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅T1の三角波パルスをパルス間隔T2で連続的に印加した。その際には、三角波パルスの波高値Vpfを、順次昇圧した。また、電子放出部1105の形成状況をモニタするためのモニタパルスPmを適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計1111で計測した。

【0111】実施の形態においては、例えば10のマイナス5乗[torr]程度の真空雰囲気下において、例えばパルス幅T1を1【ミリ秒】、パルス間隔T2を10【ミリ秒】とし、波高値Vpfを1パルスごとに0.1【V】ずつ昇圧した。そして、三角波を5パルス印加するたびに1回の割りで、モニタパルスPmを挿入した。フォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧Vpmは0.1【V】に設定した。



そして、素子電極 1 1 0 2 と 1 1 0 3 の間の電気抵抗が  $1 \times 10$  の 6 乗 [オーム] になった段階、すなわちモニタパルス印加時に電流計 1 1 1 1 で計測される電流が  $1 \times 10$  のマイナス 7 乗 [A] 以下になった段階で、フォーミング処理にかかわる通電を終了した。

【0 1 1 2】なお、上記の方法は、本実施例の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、あるいは素子電極間隔など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

【0 1 1 3】(4) 次に、図 1 5 (d) に示すように、活性化用電源 1 1 1 2 から素子電極 1 1 0 2 と 1 1 0 3 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。この通電活性化処理とは、前記通電フォーミング処理により形成された電子放出部 1 1 0 5 に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことである。

(図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1 1 1 3 として模式的に示した)。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 1 0 0 倍以上に増加させることができる。

【0 1 1 4】具体的には、1 0 のマイナス 4 乗ないし 1 0 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1 1 1 3 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 5 0 0 [オングストローム] 以下、より好ましくは 3 0 0 [オングストローム] 以下である。

【0 1 1 5】通電方法をより詳しく説明するために、図 1 7 (a) に、活性化用電源 1 1 1 2 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧  $V_{ac}$  は 1 4

[V]、パルス幅  $T_3$  は、1 [ミリ秒]、パルス間隔  $T_4$  は 1 0 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0 1 1 6】図 1 5 (d) に示す 1 1 1 4 は、該表面伝導型放出素子から放出される放出電流  $I_e$  を捕捉するためのアノード電極で、直流高電圧電源 1 1 1 5 および電流計 1 1 1 6 が接続されている。(なお、基板 1 1 0 1 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1 1 1 4 として用いる)。活性化用電源 1 1 1 2 から電圧を印加する間、電流計 1 1 1 6 で放出電流  $I_e$  を計測して通電活性化処理の進行状況をモニタし、活性化用電源 1 1 1

2 の動作を制御する。電流計 1 1 1 6 で計測された放出電流  $I_e$  の一例を図 1 7 (b) に示す。活性化電源 1 1 1 2 からパルス電圧を印加しはじめると、時間の経過とともに放出電流  $I_e$  は増加するが、やがて飽和してほとんど増加しなくなる。このように、放出電流  $I_e$  がほぼ飽和した時点で活性化用電源 1 1 1 2 からの電圧印加を停止し、通電活性化処理を終了する。

【0 1 1 7】なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0 1 1 8】以上のようにして、図 1 5 (e) に示す平面型の表面伝導型放出素子を製造した。

【0 1 1 9】(垂直型の表面伝導型放出素子) 次に、電子放出部もしくはその周辺を微粒子膜から形成した表面伝導型放出素子のもうひとつの代表的な構成、すなわち垂直型の表面伝導型放出素子の構成について説明する。

【0 1 2 0】図 1 8 は、本実施の形態の垂直型の基本構成を説明するための模式的な断面図であり、図中の 1 2 0 1 は基板、1 2 0 2 と 1 2 0 3 は素子電極、1 2 0 6 は段差形成部材、1 2 0 4 は微粒子膜を用いた導電性薄膜、1 2 0 5 は通電フォーミング処理により形成した電子放出部、1 2 1 3 は通電活性化処理により形成した薄膜、である。

【0 1 2 1】垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方 (1 2 0 2) が段差形成部材 1 2 0 6 上に設けられており、導電性薄膜 1 2 0 4 が段差形成部材 1 2 0 6 の側面を被覆している点にある。したがって、前記図 1 4 の平面型における素子電極間隔  $L$  は、垂直型においては段差形成部材 1 2 0 6 の段差高さ  $s$  として設定される。なお、基板 1 2 0 1、素子電極 1 2 0 2 および 1 2 0 3、微粒子膜を用いた導電性薄膜 1 2 0 4、については、前記平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材 1 2 0 6 には、たとえば  $SiO_2$  のような電気的に絶縁性の材料を用いる。

【0 1 2 2】次に、垂直型の表面伝導型放出素子の製法について説明する。図 1 9 (a) ~ (f) は、製造工程を説明するための断面図で、各部材の表記は前記図 1 8 と同一である。

【0 1 2 3】(1) まず、図 1 9 (a) に示すように、基板 1 2 0 1 上に素子電極 1 2 0 3 を形成する。

【0 1 2 4】(2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、たとえば  $SiO_2$  をスパッタ法で積層すればよいが、たとえば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0 1 2 5】(3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1 2 0 2 を形成する。

【0 1 2 6】(4) 次に、同図 (d) に示すように、絶縁



層の一部を、たとえばエッチング法を用いて除去し、素子電極 1203 を露出させる。

【0127】5) 次に、同図(e)に示すように、微粒子膜を用いた導電性薄膜 1204 を形成する。形成するには、前記平面型の場合と同じく、たとえば塗布法などの成膜技術を用いばよい。

【0128】6) 次に、前記平面型の場合と同じく、通電フォーミング処理を行い、電子放出部を形成する(図 15(c)を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい)。

【0129】(7) 次に、前記平面型の場合と同じく、通電活性化処理を行い、電子放出部近傍に炭素もしくは炭素化合物を堆積させる(図 15(d)を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい)。

【0130】以上のようにして、図 19(f)に示す垂直型の表面伝導型放出素子を製造した。

【0131】(表示装置に用いた表面伝導型放出素子の特性)以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【0132】図 3 に示した本実施の形態の表示装置に用いた素子の(放出電流  $I_e$ ) 対 (素子印加電圧  $V_f$ ) 特性、および(素子電流  $I_f$ ) 対 (素子印加電圧  $V_f$ ) 特性の典型的な例を基に説明を追加する。

【0133】本実施の形態の画像表示装置に用いた素子は、放出電流  $I_e$  に関して以下に述べる 3 つの特性を有している。

【0134】第一に、ある電圧(これを閾値電圧  $V_{th}$  と呼ぶ)以上の大きさの電圧を素子に印加すると急激に放出電流  $I_e$  が増加するが、一方、閾値電圧  $V_{th}$  未満の電圧では放出電流  $I_e$  はほとんど検出されない。すなわち、放出電流  $I_e$  に関して、明確な閾値電圧  $V_{th}$  を持った非線形素子である。

【0135】第二に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  で放出電流  $I_e$  の大きさを制御できる。

【0136】第三に、素子に印加する電圧  $V_f$  に対して素子から放出される電流  $I_e$  の応答速度が速いため、電圧  $V_f$  を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【0137】以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。たとえば多数の素子を表示画面の画素に対応して設けた表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を

行うことが可能である。

【0138】また、第二の特性かまたは第三の特性を利用することにより、発光輝度を制御することができるため、諸調表示を行うことが可能である。

05 【0139】(多数素子を単純マトリクス配線したマルチ電子源の構造) 次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

【0140】図 20 に示すのは、前記図 12 の表示パネル 1000 に用いたマルチ電子源の平面図である。基板 1001 上には、前記図 14 で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行方向配線電極 1003 と列方向配線電極 1004 により単純マトリクス状に配線されている。行方向配線電極 1003 と列方向配線電極 1004 の交差する部分には、電極間に絶縁層(不図示)が形成されており、電気的な絶縁が保たれている。

【0141】図 21 の A-A' に沿った断面を図 22 に示す。

20 【0142】なお、このような構造のマルチ電子源は、あらかじめ基板上に行方向配線電極 1003、列方向配線電極 1004、電極間絶縁層(不図示)、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行方向配線電極 1003 および列方向配線電極 1004 を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

25 【0143】図 22 は、前記説明の表面伝導型放出素子を電子源として用いたディスプレイパネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した多機能表示装置の一例を示すための図である。図中、1000 は前述したディスプレイパネル、2101 はディスプレイパネルの駆動回路、2102 はディスプレイコントローラ、2103 はマルチプレクサ、2104 はデコーダ、2105 は入出力インターフェース回路、2106 は CPU、2107 は画像生成回路、2108 および 2109 および 2110 は画像メモリインターフェース回路、2111 は画像入力インターフェース回路、2112 および 2113 は TV 信号受信回路、2114 は入力部である。

40 【0144】(なお、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本発明の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。) 以下、画像信号の流れに沿って各部の機能を説明してゆく。

45 【0145】まず、TV 信号受信回路 2113 は、例えば電波や空間光通信などのような無線伝送系を用いて伝送される TV 画像信号を受信するための回路である。受

信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらよりさらに多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した前記ディスプレイパネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコード2104に出力される。

【0146】また、TV信号受信回路2112は、例えば同軸ケーブルや光ファイバーなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。前記TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコード2104に出力される。

【0147】また、画像入力インターフェース回路2111は、例えばTVカメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。

【0148】また、画像メモリインターフェース回路2110は、ビデオテープレコーダ（以下VTRと略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。

【0149】また、画像メモリインターフェース回路2109は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコード2104に出力される。

【0150】また、画像メモリインターフェース回路2108は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコード2104に出力される。

【0151】また、入出力インターフェース回路2105は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備えるCPU2106と外部との間で制御信号や数値データの入出力などを行うことも可能である。

【0152】また、画像生成回路2107は、前記入出力インターフェース回路2105を介して外部から入力される画像データや文字・図形情報や、あるいはCPU2106より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめ

として画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコード2104に出力されるが、場合によっては前記入出力インターフェース回路2105を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

【0153】また、CPU2106は、主として本表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。

【0154】例えば、マルチプレクサ2103に制御信号を出力し、ディスプレイパネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じてディスプレイパネルコントローラ2102に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

【0155】また、前記画像生成回路2107に対して画像データや文字・図形情報を直接出力したり、あるいは前記入出力インターフェース回路2105を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

【0156】なお、CPU2106は、むしろこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。

【0157】あるいは、前述したように入出力インターフェース回路2105を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

【0158】また、入力部2114は、前記CPU2106に使用者が命令やプログラム、あるいはデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダー、音声認識装置など多様な入力機器を用いる事が可能である。

【0159】また、デコード2104は、前記2107ないし2113より入力される種々の画像信号を3原色信号、または輝度信号とI信号、Q信号に逆変換するための回路である。なお、同図中に点線で示すように、デコード2104は内部に画像メモリを備えるのが望ましい。これは、例えばMUSE方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、あるいは前記画像生成回路2107およびCPU2106と協同して画像の間引き、補間、拡大、縮小、合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0160】また、マルチプレクサ2103は、前記C

P U 2 1 0 6より入力される制御信号に基づき表示画像を適宜選択するものである。すなわち、マルチプレクサ 2 1 0 3はデコーダ 2 1 0 4から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路 2 1 0 1に出力する。その場合には、一画面表示時間内

【0 1 6 1】また、ディスプレイパネルコントローラ 2 1 0 2は、前記C P U 2 1 0 6より入力される制御信号に基づき駆動回路 2 1 0 1の動作を制御するための回路である。

【0 1 6 2】まず、ディスプレイパネルの基本的な動作にかかわるものとして、例えばディスプレイパネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路 2 1 0 1に対して出力する。また、ディスプレイパネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 2 1 0 1に対して出力する。

【0 1 6 3】また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 2 1 0 1に対して出力する場合もある。

【0 1 6 4】また、駆動回路 2 1 0 1は、ディスプレイパネル 1 0 0 0に印加する駆動信号を発生するための回路であり、前記マルチプレクサ 2 1 0 3から入力される画像信号と、前記ディスプレイパネルコントローラ 2 1 0 2より入力される制御信号に基づいて動作するものである。

【0 1 6 5】以上、各部の機能を説明したが、図 2 2に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報をディスプレイパネル 1 0 0 0に表示する事が可能である。すなわち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 2 1 0 4において逆変換された後、マルチプレクサ 2 1 0 3において適宜選択され、駆動回路 2 1 0 1に輸入される。一方、ディスプレイコントローラ 2 1 0 2は、表示する画像信号に応じて駆動回路 2 1 0 1の動作を制御するための制御信号を発生する。駆動回路 2 1 0 1は、上記画像信号と制御信号に基づいてディスプレイパネル 1 0 0 0に駆動信号を印加する。これにより、ディスプレイパネル 1 0 0 0において画像が表示される。これらの一連の動作は、C P U 2 1 0 6により統括的に制御される。

【0 1 6 6】また、本表示装置においては、前記デコーダ 2 1 0 4に内蔵する画像メモリや、画像生成回路 2 1 0 7およびC P U 2 1 0 6が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、

回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施例の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

【0 1 6 7】したがって、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用あるいは民生用として極めて応用範囲が広い。

【0 1 6 8】なお、上記図 2 2は、表面伝導型放出素子を電子源とするディスプレイパネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図 2 2の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によってはさらに構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。また、本実施の形態では、ディスプレイ装置に適用する例で説明したが本発明はこれに限定されるものでなく、画像信号に応じて電子を放出して対応する画像を形成する装置であれば、どのような装置にも適用可能である。

【0 1 6 9】本表示装置においては、とりわけ表面伝導型放出素子を電子源とするディスプレイパネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能である。それに加えて、表面伝導型放出素子を電子源とするディスプレイパネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0 1 7 0】以上説明したように本実施の形態によれば、配線抵抗に起因する電圧降下が発生したとしても、その影響を補償するように電子放出量が制御されるので、放出される電子強度の変動を低減させて高品位の画像を表示することができる。

【0 1 7 1】またこれにより、表示画面全体にわたって原画像信号に対して極めて忠実な輝度の画像を表示できる。

【0 1 7 2】

【発明の効果】以上説明したように本発明によれば、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源の配線抵抗に依存する電圧降下によって生じる、各冷陰極型放出素子からの電子放出量のばらつきを補正することにより、高品位の画像形成を行うことができる。

【0173】また本発明によれば、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源と発光体との間に中間電極を設け、その中間電極に印加する電圧を、電子源において駆動される走査ライン位置に応じて制御することにより、列方向の配線抵抗による電圧降下に起因する放出電子量の変動を補償して列方向の位置によらず放出電子量がほぼ一定になるようにして画像を表示できるという効果がある。

【0174】また本発明によれば、マトリクス状に配線された複数の冷陰極型放出素子を有する電子源の列方向の配線抵抗による電圧降下に起因する放出電子量の変動を、電子源と発光体との間に印加する加速電圧により補償して列方向の位置によらず放出電子量がほぼ一定になるようにして画像を表示できるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態1の画像表示装置の回路構成を示すブロック図である。

【図2】本実施の形態の放出素子からの電子放出量と中間電極への印加電圧との関係を示す図である。

【図3】本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図4】本実施の形態の表面伝導型放出素子と中間電極との関係を説明する図である。

【図5】本実施の形態の表示パネルの外観斜視図である。

【図6】本発明の実施の形態1の中間電極の他の構成を示す図である。

【図7】図6のC-C'断面図(a)、及び図6のD-D'断面図(b)である。

【図8】本発明の実施の形態1の中間電極駆動部の構成を示すブロック図である。

【図9】本発明の実施の形態2の画像表示装置の回路構成を示すブロック図である。

【図10】本実施の形態の放出素子からの電子放出量と加速電圧との関係を示す図である。

【図11】本発明の実施の形態2の加速電圧印加回路の構成を示すブロック図である。

【図12】本実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図13】本実施の形態の表示パネルのフェースプレートに蛍光体配列を例示した平面図である。

【図14】本実施の形態で用いた平面型の表面伝導型放出素子の平面図(A)、断面図(B)である。

【図15】本実施の形態の平面型表面伝導型放出素子の製造工程を示す断面図である。

05 【図16】通電フォーミング処理の際の印加電圧波形を示す図である。

【図17】通電活性化処理の際の印加電圧波形(a)、放出電流I<sub>e</sub>の変化(b)を示す図である。

10 【図18】本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図19】垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図20】本実施の形態で用いたマルチ電子源の基板の一部平面図である。

15 【図21】本実施の形態で用いた図20のマルチ電子源の基板のA-A'断面図である。

【図22】本発明の実施の形態の画像表示装置を用いた多機能画像表示装置のブロック図である。

20 【図23】従来知られた表面伝導型放出素子の一例を示す平面図である。

【図24】従来知られたFE素子の一例を示す断面図である。

【図25】従来知られたMIM型素子の一例を示す図である。

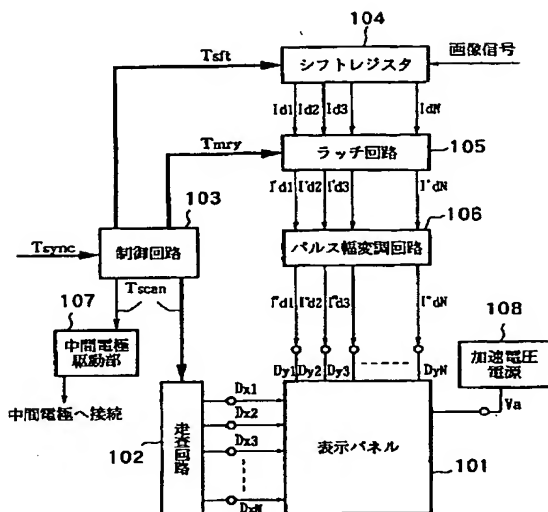
25 【図26】本実施の形態の電子放出素子の配線方法を説明する図である。

【図27】配線抵抗による電圧効果を説明する図である。

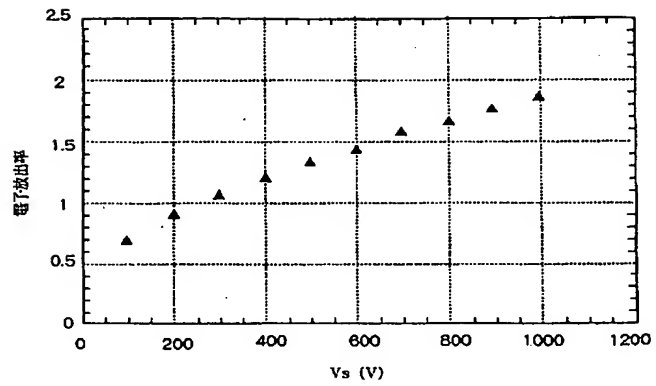
【符号の説明】

- |    |     |          |
|----|-----|----------|
| 30 | 101 | 表示パネル    |
|    | 102 | 走査回路     |
|    | 103 | 制御回路     |
|    | 104 | シフトレジスタ  |
|    | 105 | ラッチ回路    |
| 35 | 106 | パルス幅変調回路 |
|    | 107 | 中間電極駆動部  |
|    | 108 | 加速電圧電源   |
|    | 109 | 加速電圧印加回路 |
|    | 110 | 中間電極     |
| 40 | 112 | 開口部      |

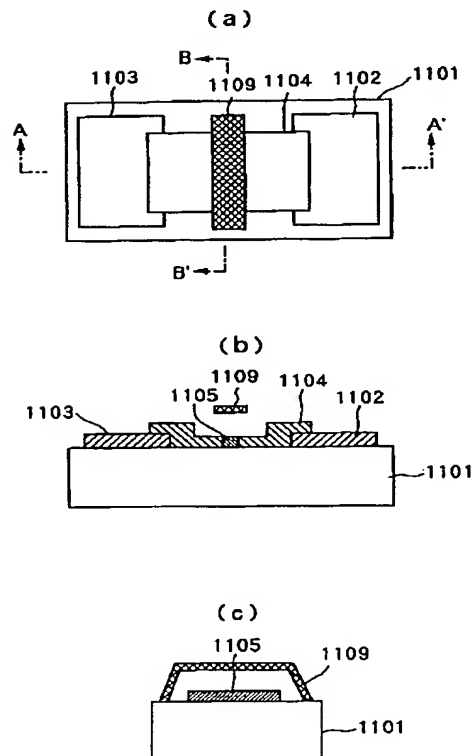
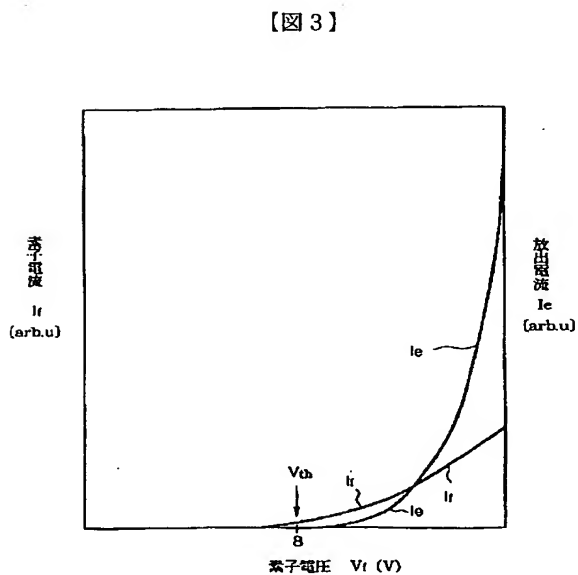
【図1】



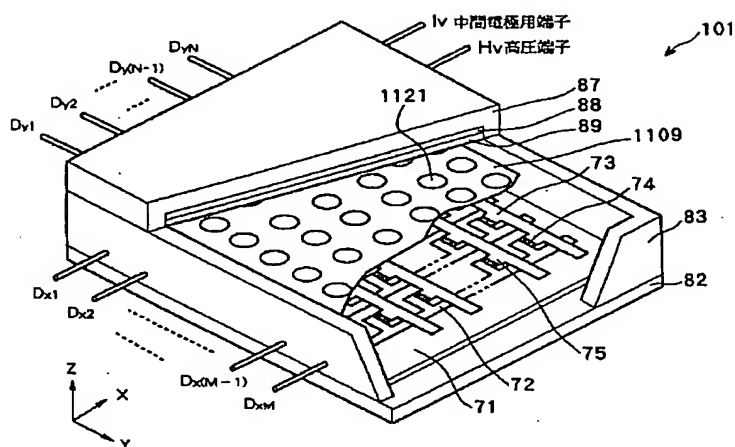
【図2】



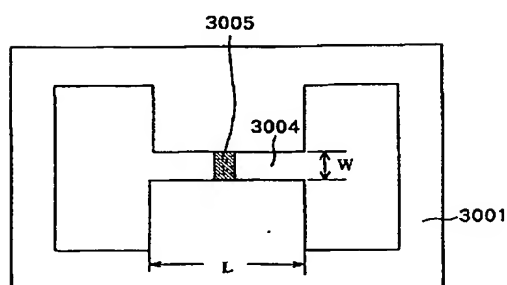
【図4】



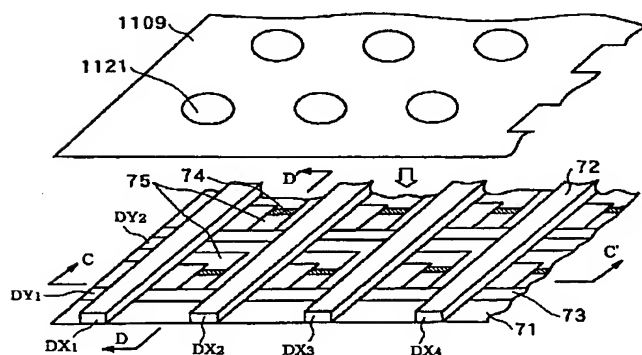
【图 5】



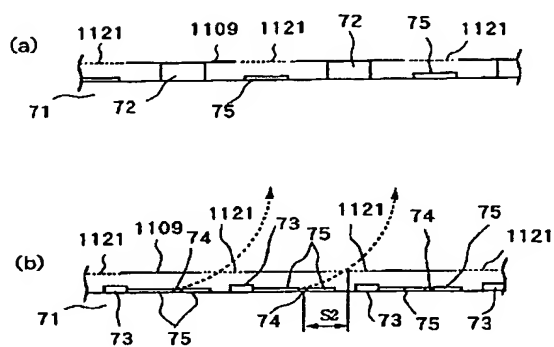
【図 2 3】



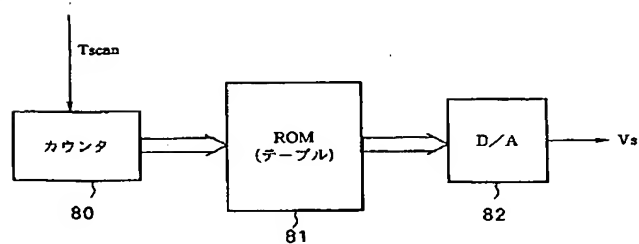
【図 6】



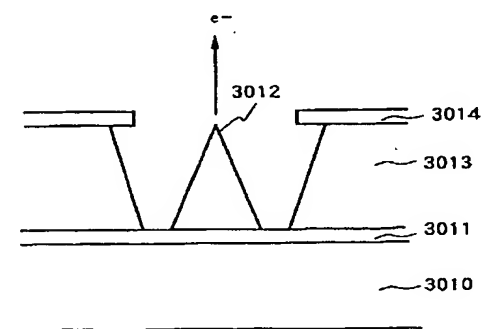
【図 7】



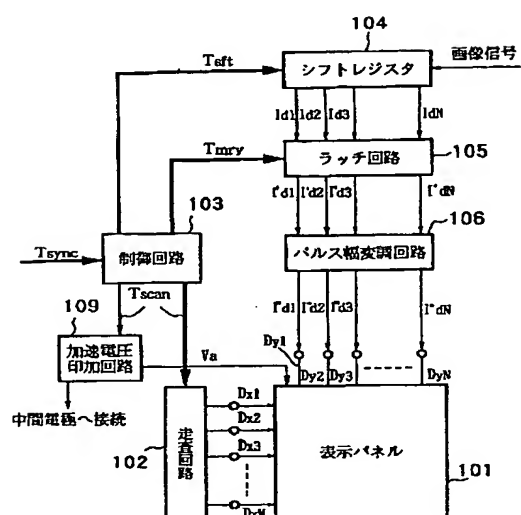
【図8】



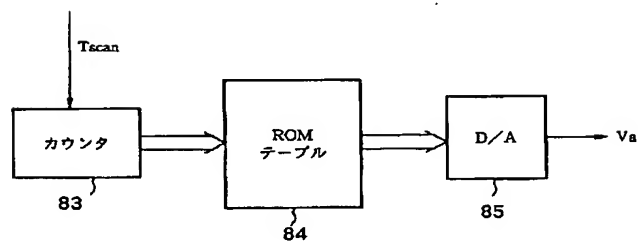
【图 2 4】



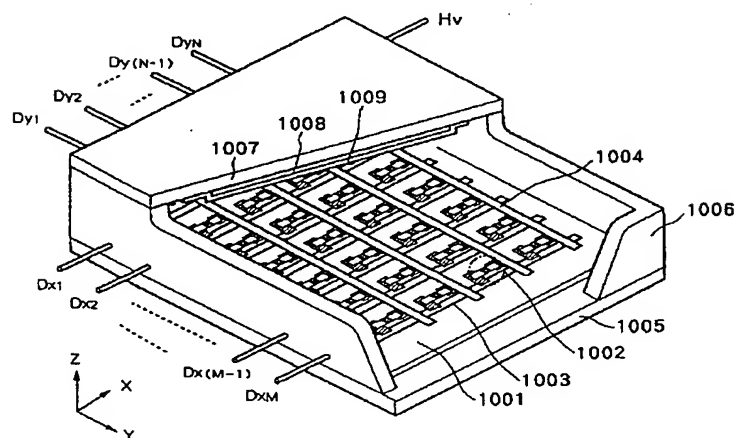
【图9】



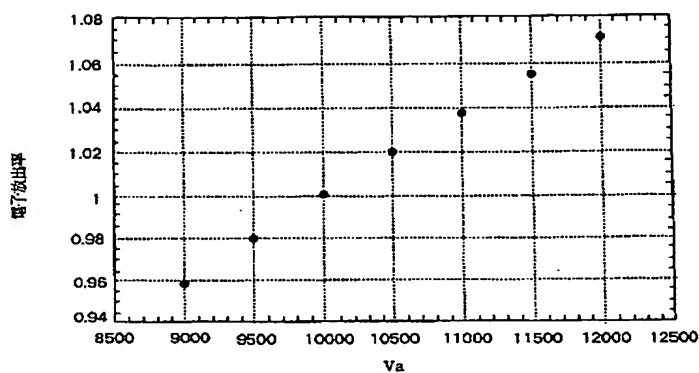
【図 1 1】



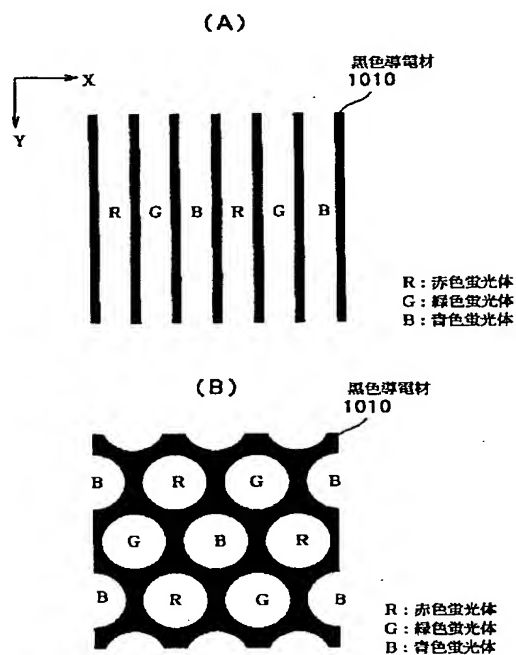
【图 12】



【図 10】

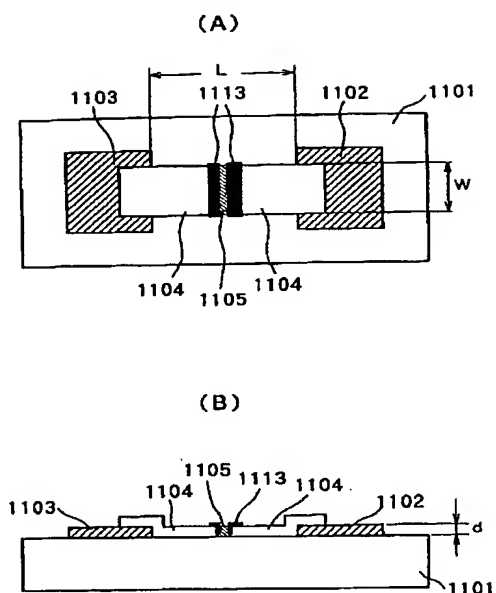


【图 13】

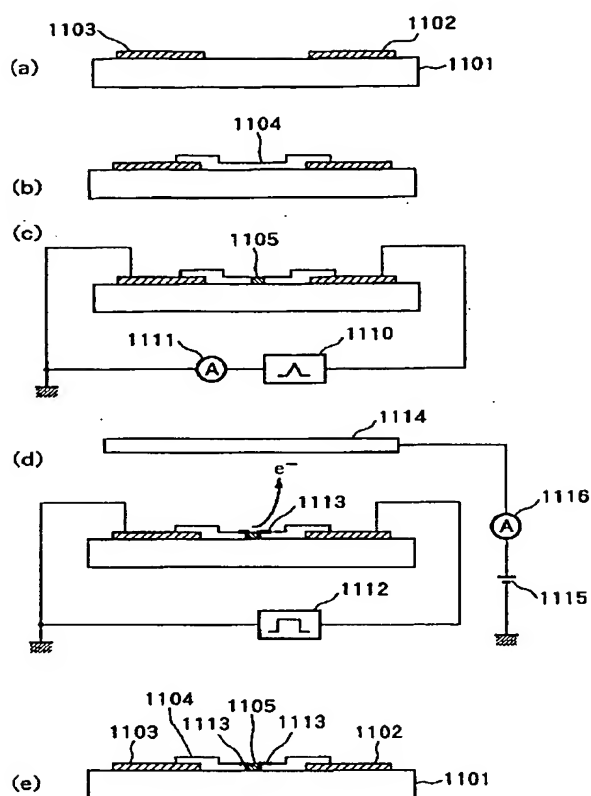




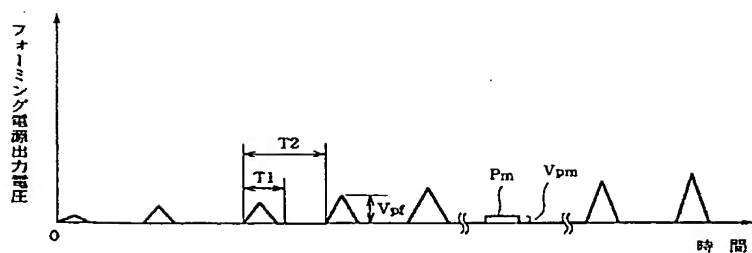
【図14】



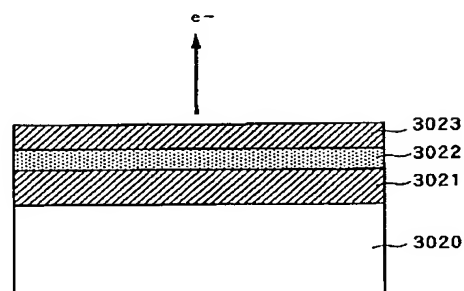
【図15】



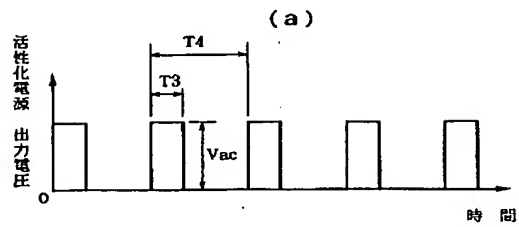
【図16】



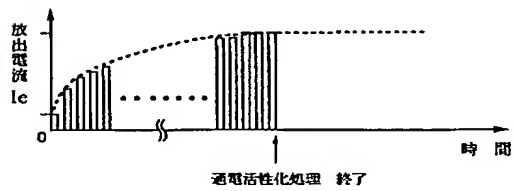
【図25】



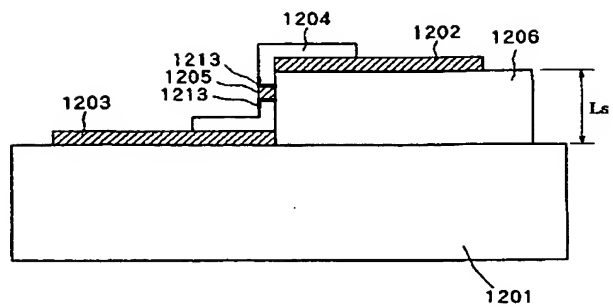
【図 17】



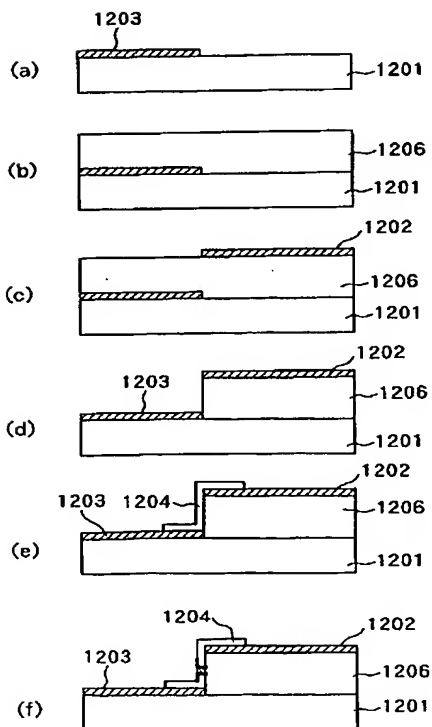
(b)



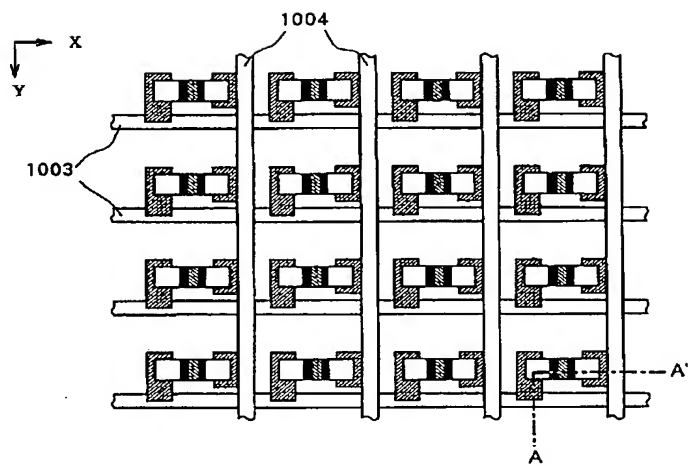
【図 18】



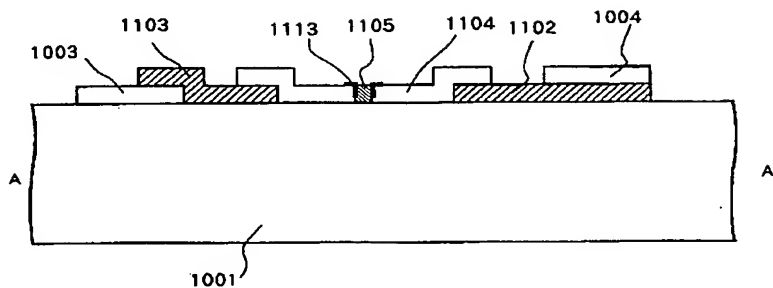
【図 19】



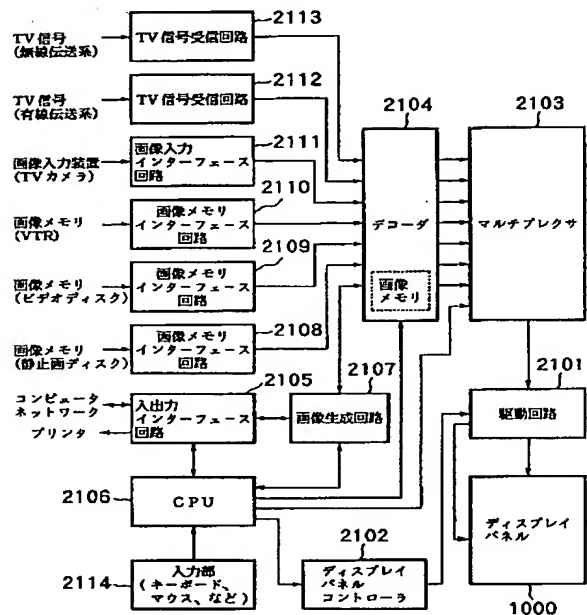
【図 20】



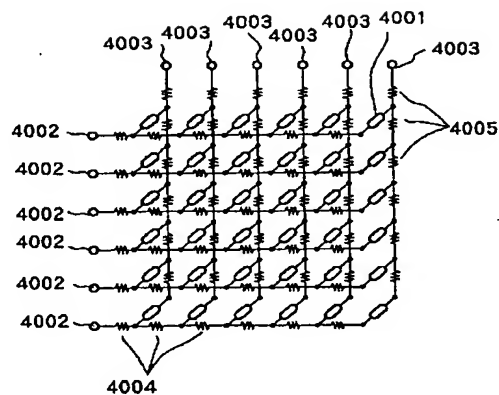
【図21】



【図22】



【図26】



【図27】

